

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Gi-young YANG et al.

Art Unit: TBD

Appl. No.: NEW

Examiner: TBD

Filed: 24 February 2004

Atty. Docket: SEC.1107

For: **Method of Measuring Gate Capacitance by Correcting Dissipation Factor Error**

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, **Mail Stop Patent Application**
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

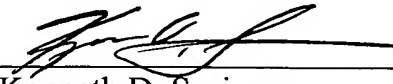
Appln. No. 2003-0012040 filed February 26, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.

By: 
Kenneth D. Springer
Registration No. 39,843

VOLENTINE FRANCOS, P.L.L.C.
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870

Date: 24 February 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0012040
Application Number

출원 년 월 일 : 2003년 02월 26일
Date of Application FEB 26, 2003

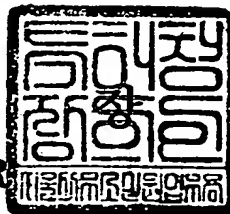
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 27 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2003.02.26
【국제특허분류】	H01L
【발명의 명칭】	손실 계수의 오차 보정을 이용한 게이트 커패시턴스 측정 방법
【발명의 영문명칭】	Gate capacitance measurement method with dissipation factor error correction
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	양기영
【성명의 영문표기】	YANG, Gi Young
【주민등록번호】	700107-1402729
【우편번호】	442-729
【주소】	경기도 수원시 팔달구 영통동 신나무실 신안아파트 534-502
【국적】	KR
【발명자】	
【성명의 국문표기】	장용운
【성명의 영문표기】	JANG, Yong Un
【주민등록번호】	750920-1621710

【우편번호】 427-010
【주소】 경기도 과천시 중앙동 32-8
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이영
필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 5 면 5,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 34,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

손실 계수의 오차 보정을 이용한 게이트 커패시턴스 측정 방법이 개시된다. 본 발명은 (a)모스 트랜지스터의 게이트 커패시턴스를 측정하여 측정 커패시턴스 및 측정 손실 계수를 구하는 단계, (b)상기 모스 트랜지스터의 등가 회로의 채널 저항 및 터널링 저항을 구하는 단계, (c)계산 커패시턴스를 구하기 위한 초기 커패시턴스 및 계산 손실 계수를 구하기 위한 오차 손실 계수의 값을 설정하는 단계, (d)상기 채널 저항, 상기 터널링 저항 및 상기 초기 커패시턴스를 이용하여 직류 손실 계수를 계산하는 단계, (e)상기 오차 손실 계수, 상기 직류 손실 계수 및 상기 측정 손실 계수를 이용하여 계산 손실 계수를 계산하는 단계, (f)상기 채널 저항, 상기 터널링 저항, 상기 초기 커패시턴스, 상기 오차 손실 계수 및 상기 측정 손실 계수를 이용하여 계산 커패시턴스를 계산하는 단계 및 (g)상기 계산 커패시턴스와 상기 측정 커패시턴스가 동일하고 상기 계산 손실 계수와 상기 측정 손실 계수가 동일하면 상기 초기 커패시턴스를 상기 모스 트랜지스터의 정확한 게이트 커패시턴스로 검출하고, 상기 계산 커패시턴스와 상기 측정 커패시턴스가 서로 동일하지 않거나 또는 상기 계산 손실 계수와 상기 측정 손실 계수가 서로 동일하지 않으면 상기 (c)단계 내지 상기 (g)단계를 반복하는 단계를 구비한다. 본 발명에 따른 게이트 커패시턴스 측정 방법은 LCR 미터를 이용하여 측정된 측정 손실 계수의 오차를 보정함에 의하여 게이트 커패시턴스를 정확히 측정할 수 있는 장점이 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

손실 계수의 오차 보정을 이용한 게이트 커패시턴스 측정 방법{Gate capacitance measurement method with dissipation factor error correction}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 게이트 커패시턴스 측정 방법을 나타내는 플로우 차트이다.

도 2는 모스 트랜지스터의 채널 영역을 모델링한 등가 회로도이다.

도 3은 임피던스 및 어드미턴스를 구하기 위하여 모스 트랜지스터를 모델링한 회로도이다.

도 4는 본 발명에 따른 게이트 커패시턴스 측정 방법을 나타내는 플로우 차트이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 모스(MOS) 트랜지스터의 게이트 커패시턴스의 측정 방법에 관한 것으로서, 특히 모스 트랜지스터의 특성을 분석하기 위하여 사용되는 LCR 미터(meter)의 측정 오차를 분석하여 정확한 게이트 커패시턴스를 측정하는 방법에 관한 것이다.

- <7> 모스(MOS) 트랜지스터는 게이트의 산화막을 통하여 전하가 채널에 모이는 원리에 의하여 동작되는 소자이다. 따라서, 모스 트랜지스터의 특성을 파악하기 위하여 모스 트랜지스터의 게이트의 커패시턴스를 측정하는 방법이 많이 이용되고 있다.
- <8> 게이트 커패시턴스를 측정함으로써 트랜지스터의 채널에 모이는 전하의 양, 게이트 산화막의 두께 등을 알 수 있다. 따라서 게이트 커패시턴스는 매우 중요한 측정 항목이며 정확히 측정되어야 한다.
- <9> 모스 트랜지스터의 게이트 커패시턴스를 측정하는 장비로서 LCR 미터 (meter)가 많이 이용된다. LCR 미터는 높은 정확도를 가지고 빠른 시간 내에 임피던스를 가진 부품의 각 파라미터들을 측정하는 장비로서, 커패시턴스, 인덕턴스, 저항 및 손실계수를 측정할 수 있다. 또한 코일, 콘덴서, 저항 및 스위치 등 전자 부품의 접촉저항을 용이하게 측정할 수 있다.
- <10> 그러나 LCR 미터는 측정 오차를 가지며 특히 모스 트랜지스터의 게이트의 산화막이 얇아지면서 LCR 미터의 측정 오차는 더욱 커지고 있다.
- <11> 도 1은 종래의 게이트 커패시턴스 측정 방법을 나타내는 플로우 차트이다.
- <12> 도 1을 참조하면, 먼저 측정 커패시턴스 및 측정 손실 계수를 구한다.(110 단계) 측정 커패시턴스 및 측정 손실 계수는 LCR 미터에 의하여 측정된 값이다. 채널 저항 및 터널링 저항을 구한다.(120 단계) 채널 저항 및 터널링 저항은 모스 트랜지스터의 직류 전류를 측정한 후 계산 식에 의하여 구해진다.
- <13> 초기 커패시턴스를 설정하고 계산 커패시턴스를 구한다.(130 및 140 단계)

초기 커패시턴스는 계산 커패시턴스를 구하기 위한 변수(parameter)로서 설계자가 임의로 설정한다. 즉 계산 커패시턴스를 구하기 위하여 초기 커패시턴스를 임의로 설정하고 계산식에 의해서 계산 커패시턴스를 구한다. 구해진 계산 커패시턴스가 LCR 미터에 의해서 측정된 측정 커패시턴스와 동일한지를 판단한다.(150 단계)

<14> 만일 양 값이 동일하지 않으면 초기 커패시턴스를 다시 설정하고 140 단계 및 150 단계를 반복한다. 측정 커패시턴스와 계산 커패시턴스가 동일해질 때까지 130 내지 150 단계를 반복한다. 측정 커패시턴스와 계산 커패시턴스가 동일해지면 그 때의 초기 커패시턴스가 정확한 게이트 커패시턴스와 일치하게 된다. 따라서 초기 커패시턴스를 정확한 게이트 커패시턴스로서 검출한다.(160 단계)

<15> 그런데 MOS 트랜지스터의 게이트의 산화 막이 얇아지면서 LCR 미터의 측정 오차가 커지고 있으므로 110 단계에서 측정된 측정 커패시턴스가 자체로서 오차를 가지고 있을 수 있다. 그러면 도 1의 종래의 측정 방법(100)에 의해 구해진 정확한 게이트 커패시턴스도 오차를 가지게 되는 문제가 있다.

<16> LCR 미터를 이용한 게이트 커패시턴스의 측정시 발생하는 오차는 손실 계수(dissipation factor)에 비례한다. 따라서 손실 계수에 발생한 오차를 정확히 보정해야만 게이트 커패시턴스의 오차도 정확히 보정할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명이 이루고자하는 기술적 과제는 손실 계수의 오차를 보정함에 의하여 LCR 미터에 의하여 측정된 게이트 커패시턴스의 오차를 보정하여 정확한 게이트 커패시턴스를 측정하는 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<18> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 게이트 커패시턴스 측정 방법은

(a) 모스 트랜지스터의 게이트 커패시턴스를 측정하여 측정 커패시턴스 및 측정 손실 계수를 구하는 단계, (b) 상기 모스 트랜지스터의 등가 회로의 채널 저항 및 터널링 저항을 구하는 단계, (c) 계산 커패시턴스를 구하기 위한 초기 커패시턴스 및 계산 손실 계수를 구하기 위한 오차 손실 계수의 값을 설정하는 단계, (d) 상기 채널 저항, 상기 터널링 저항 및 상기 초기 커패시턴스를 이용하여 직류 손실 계수를 계산하는 단계, (e) 상기 오차 손실 계수, 상기 직류 손실 계수 및 상기 측정 손실 계수를 이용하여 계산 손실 계수를 계산하는 단계, (f) 상기 채널 저항, 상기 터널링 저항, 상기 초기 커패시턴스, 상기 오차 손실 계수 및 상기 측정 손실 계수를 이용하여 계산 커패시턴스를 계산하는 단계 및 (g) 상기 계산 커패시턴스와 상기 측정 커패시턴스가 동일하고 상기 계산 손실 계수와 상기 측정 손실 계수가 동일하면 상기 초기 커패시턴스를 상기 모스 트랜지스터의 정확한 게이트 커패시턴스로 검출하고, 상기 계산 커패시턴스와 상기 측정 커패시턴스가 서로 동일하지 않거나 또는 상기 계산 손실 계수와 상기 측정 손실 계수가 서로 동일하지 않으면 상기 (c) 단계 내지 상기 (g) 단계를 반복하는 단계를 구비한다.

<19> 상기 (b) 단계는 (b1) 상기 모스 트랜지스터의 직류 게이트 전류, 직류 드레인 전류, 직류 게이트 전압 및 직류 드레인 전압을 측정하는 단계 및 (b2) 상기 직류 게이트 전류, 상기 직류 드레인 전류, 상기 직류 게이트 전압 및 상기 직류 드레인 전압을 이용하여 상기 채널 저항 및 터널링 저항을 구하는 단계를 구비한다.

<20>

상기 터널링 저항은
$$R_t = L \left[\frac{Z_{dc}}{Y_{dc}} (Z_{dc} \cdot Y_{dc} + 2) \right]^{1/2} / \cosh^{-1}(Z_{dc} \cdot Y_{dc} + 2)$$
에 의해서 계산되고,

상기 채널 저항은 $R_s = \frac{1}{R_t} \left[\frac{Z_{dc}}{Y_{dc}} \cdot 4 \cdot (Z_{dc} \cdot Y_{dc} + 2) \right]$ 에 의해서 계산되며, Z_{dc} 는 드레인 임피던스로서 상기 직류 드레인 전압을 상기 직류 드레인 전류로 나눈 값이고, Y_{dc} 는 게이트 어드미턴스로서 상기 직류 게이트 전류를 상기 직류 게이트 전압으로 나눈 값인 것을 특징으로 한다.

<21> 상기 오차 손실 계수는 상기 직류 손실 계수에서 상기 측정 손실 계수를 뺀 값이다.

<22> 상기 직류 손실 계수는 $D_{dc} = \frac{A \sinh(L \cdot Y \cdot A) - B \sin(L \cdot Y \cdot B)}{A \sin(L \cdot Y \cdot B) + B \sinh(L \cdot Y \cdot A)}$ 에 의해서 계산되며, 상기 A는 $A = \sqrt{1 + (\omega C_i \cdot R_t)^2} \cdot \cos\left(\frac{\tan^{-1} \omega C_i \cdot R_t}{2}\right)$ 이고,

<23> 상기 B는 $B = \sqrt{1 + (\omega C_i + R_t)^2} \cdot \sin\left(\frac{\tan^{-1} \omega C_i \cdot R_t}{2}\right)$ 이고,

<24> 상기 Y는 $Y = \sqrt{\frac{R_s}{R_t}}$ 이며, 상기 L은 상기 MOS 트랜지스터의 길이(Length)인 것을 특징으로 한다.

<25> 상기 계산 손실 계수는 $D_m' = D_{dc} \cdot (1 - D_{err}(1 + D_m))$ 에 의해서 계산된다. 상기 계산 커패시턴스는 $C_{m1}' = C_{m1} \cdot (1 - D_{err}/100 \cdot \sqrt{(1 + D_m'^2)})$ 에 의해서 계산되며,

<26> 상기 C_{m1} 은 $Y_{ac} = 2 \cdot \frac{\tanh\left(\gamma \cdot \frac{L}{2}\right)}{Z_o} = R' + j\omega C_{m1}$ 에 의해서 계산되며, 상기 Y_{ac} 는 상기 MOS 트랜지스터의 게이트 입력 어드미턴스이고,

<27>

상기 γ 는

$$\gamma = \sqrt{\frac{R_s}{R_t} + j\omega C_i \cdot R_s}$$

<28>

에 의해서 계산되고,

<29>

상기 Z_o 는

$$Z_o = \sqrt{\frac{R_s \cdot R_t}{1 + j\omega C_i \cdot R_t}}$$

에 의해서 계산된다.

<30>

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<31>

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<32>

도 2는 모스 트랜지스터의 채널 영역을 모델링 한 등가 회로도이다.

<33>

게이트에 병렬로 커패시턴스(C)와 터널링 저항(R_t)이 연결된다. 드레인과 소스 사이에 직렬로 채널 저항(R_s)이 연결된다. 게이트에 병렬로 연결된 커패시턴스(C)가 게이트 커패시턴스이다.

<34>

도 3은 임피던스 및 어드미턴스를 구하기 위하여 모스 트랜지스터를 모델링한 회로도이다.

<35>

모스 트랜지스터의 길이(length)가 L 로 표시된다. Z_{dc} 는 드레인 임피던스로서 직류 드레인 전압을 상기 드레인 전류로 나눈 값이고, Y_{dc} 는 게이트 어드미턴스로서 직류 게이트 전류를 직류 게이트 전압으로 나눈 값이다.

- <36> 드레인 임피던스(Z_{dc})와 게이트 어드미턴스(Y_{dc})는 도 3의 터널링 저항(R_t)과 채널 저항(R_s)을 구하기 위한 것이다. 드레인 임피던스(Z_{dc})와 게이트 어드미턴스(Y_{dc})를 이용하여 터널링 저항(R_t)과 채널 저항(R_s)을 구하는 방법은 후술된다.
- <37> 도 4는 본 발명에 따른 게이트 커패시턴스 측정 방법을 나타내는 플로우 차트이다.
- <38> 도 4를 참조하면, 본 발명에 따른 게이트 커패시턴스 측정 방법(400)은 먼저, 모스 트랜지스터의 게이트 커패시턴스를 측정하여 측정 커패시턴스 및 측정 손실 계수를 구한다.(410 단계)
- <39> 그리고, 상기 모스 트랜지스터의 등가 회로의 채널 저항 및 터널링 저항을 구한다.(420 단계) 좀더 설명하면, 420 단계는 상기 모스 트랜지스터의 직류 게이트 전류, 직류 드레인 전류, 직류 게이트 전압 및 직류 드레인 전압을 측정하는 단계 및 상기 직류 게이트 전류, 상기 직류 드레인 전류, 상기 직류 게이트 전압 및 상기 직류 드레인 전압을 이용하여 상기 채널 저항 및 터널링 저항을 구하는 단계를 구비한다.
- <40> 계산 커패시턴스를 구하기 위한 초기 커패시턴스 및 계산 손실 계수를 구하기 위한 오차 손실 계수의 값을 설정한다.(430 단계) 상기 채널 저항, 상기 터널링 저항 및 상기 초기 커패시턴스를 이용하여 직류 손실 계수를 계산한다.(440 단계)
- <41> 상기 오차 손실 계수, 상기 직류 손실 계수 및 상기 측정 손실 계수를 이용하여 계산 손실 계수를 계산한다.(450 단계) 상기 채널 저항, 상기 터널링 저항, 상기 초기 커패시턴스, 상기 오차 손실 계수 및 상기 측정 손실 계수를 이용하여 계산 커패시턴스를 계산한다.(460 단계)

- <42> 상기 계산 커패시턴스와 상기 측정 커패시턴스가 동일하고 상기 계산 손실 계수와 상기 측정 손실 계수가 동일한지를 판단하여(470 단계) 동일하면 상기 초기 커패시턴스를 상기 MOS 트랜지스터의 정확한 게이트 커패시턴스로 검출하고(480 단계), 상기 계산 커패시턴스와 상기 측정 커패시턴스가 서로 동일하지 않거나 또는 상기 계산 손실 계수와 상기 측정 손실 계수가 서로 동일하지 않으면 상기 (430) 단계 내지 상기 (470) 단계를 반복한다.
- <43> 이하, 도 2 내지 도 4를 참조하여 본 발명에 따른 게이트 커패시턴스 측정 방법을 설명한다.
- <44> MOS 트랜지스터의 게이트 커패시턴스를 측정하여 측정 커패시턴스 및 측정 손실 계수를 구한다.(410 단계) 측정 커패시턴스는 이하에서 C_m 으로 표시한다. 측정 손실 계수는 이하에서 D_m 으로 표시한다. 측정 커패시턴스(C_m) 및 측정 손실 계수(D_m)는 종래의 게이트 커패시턴스 측정 방법(100)과 마찬가지로 LCR 미터에 의하여 측정한다.
- <45> MOS 트랜지스터의 등가 회로(200)의 채널 저항(R_s) 및 터널링 저항(R_t)을 구한다.(420 단계) 채널 저항(R_s) 및 터널링 저항(R_t)을 구하기 위해서 직류 전류 측정 장치(미도시)를 이용하여 MOS 트랜지스터의 직류 전류를 구한다.
- <46> 도 3에 직류 전류를 측정하는 방법이 도시되어 있다. 즉, 직류 전류 측정 장치를 이용하여 MOS 트랜지스터의 직류 게이트 전류, 직류 드레인 전류, 직류 게이트 전압 및 직류 드레인 전압을 측정한다. 그리고, 직류 게이트 전류, 직류 드레인 전류, 직류 게이트 전압 및 직류 드레인 전압을 이용하여 드레인 임피던스와 게이트 어드미턴스를 구한다.

<47> 이하에서, 드레인 임피던스는 Z_{dc} 로 표시하고, 게이트 어드미턴스는 Y_{dc} 로 표시한다. 직류 게이트 전류는 I_g , 직류 드레인 전류는 I_d , 직류 게이트 전압은 V_g 및 직류 드레인 전압은 V_d 로 표시한다. 드레인 임피던스(Z_{dc})는 직류 드레인 전압(V_d)을 직류 드레인 전류(I_d)로 나눈 값이다. 즉, $Z_{dc} = V_d/I_d$ 이다.

<48> 게이트 어드미턴스(Y_{dc})는 직류 게이트 전류(I_g)를 직류 게이트 전압(V_g)으로 나눈 값이다. 즉, $Y_{dc} = I_g/V_g$ 이다.

<49> 그러면, 터널링 저항(R_t)은 다음 식에 의해서 구해질 수 있다.

<50> [수학식 1]

$$<51> \quad R_t = L \left[\frac{Z_{dc}}{Y_{dc}} (Z_{dc} \cdot Y_{dc} + 2) \right]^{1/2} / \cosh^{-1}(Z_{dc} \cdot Y_{dc} + 2)$$

<52> 그리고, 채널 저항(R_s)은 다음 식에 의해서 구해진다.

<53> [수학식 2]

$$<54> \quad R_s = \frac{1}{R_t} \left[\frac{Z_{dc}}{Y_{dc}} \cdot 4 \cdot (Z_{dc} \cdot Y_{dc} + 2) \right]$$

<55> 터널링 저항(R_t)과 채널 저항(R_s)을 구하는 수학식 1 및 2는 도 2의 모스 트랜지스터의 등가 회로(200)로부터 구해진 것이다.

<56> 계산 커패시턴스를 구하기 위한 초기 커패시턴스 및 계산 손실 계수를 구하기 위한 오차 손실 계수의 값을 설정한다.(430 단계) 도 1에 도시된 종래의 커패시턴스 측정 방법(100)에서는 초기 커패시턴스만을 설정하였으나 본 발명에서는 초기 커패시턴스와 오차 손실 계수를 모두 설정한다. 이하에서 초기 커패시턴스는 C_i 로 표시하고 오차 손실 계수는 D_{err} 로 표시한다.

<57> 초기 커패시턴스(Ci)는 설계자가 임의로 설정한다. 오차 손실 계수(Derr)는 직류 손실 계수에서 측정 손실 계수(Dm)를 뺀 값이다. 측정 손실 계수(Dm)는 410 단계에서 LCR 미터에 의하여 측정된 값이다. 이하에서 직류 손실 계수는 Ddc 로 표시한다.

<58> 직류 손실 계수(Ddc)는 채널 저항(Rs)과 터널링 저항(Rt) 및 초기 커패시턴스(Ci)를 이용하여 다음 식으로부터 구할 수 있다.(440 단계)

<59> [수학식 3]

$$<60> \quad D_{dc} = \frac{A \sinh(L \cdot Y \cdot A) - B \sin(L \cdot Y \cdot B)}{A \sin(L \cdot Y \cdot B) + B \sinh(L \cdot Y \cdot A)}$$

<61> 여기서, A 는

$$<62> \quad A = \sqrt{1 + (\omega C_i \cdot R_t)^2} \cdot \cos\left(\frac{\tan^{-1} \omega C_i \cdot R_t}{2}\right) \quad \text{이고,}$$

<63> B는

$$<64> \quad B = \sqrt{1 + (\omega C_i + R_t)^2} \cdot \sin\left(\frac{\tan^{-1} \omega C_i \cdot R_t}{2}\right) \quad \text{이고,}$$

<65> $Y = \sqrt{\frac{R_s}{R_t}}$ 이다. 상기 L 은 모스 트랜지스터의 길이(Length)를 나타낸다.

<66> 직류 손실 계수(Ddc)에 관한 수학식 3은 도 2의 모스 트랜지스터의 등가 회로(200)로부터 얻어진 함수이다. 즉, 측정 오차가 없는 정확한 값이다.

<67> 오차 손실 계수, 직류 손실 계수 및 측정 손실 계수를 이용하여 계산 손실 계수를 계산한다.(450 단계) 이하에서 계산 손실 계수를 Dm' 로 표현한다.

<68> 계산 손실 계수(Dm')는 다음 수학식에 의해서 구해진다.

<69> [수학식 4]

$$<70> \quad D_{m'} = D_{dc} \cdot (1 - Derr(1 + D_m))$$

<71> 계산 손실 계수($D_{m'}$)를 구하는 수학식 4는 LCR 미터의 데이터 시트(data sheet)로부터 구할 수 있다.

<72> 채널 저항(R_s), 터널링 저항(R_t), 초기 커패시턴스(C_i), 오차 손실 계수($Derr$) 및 측정 손실 계수(D_m)를 이용하여 계산 커패시턴스를 계산한다.(460 단계) 이하에서 계산 커패시턴스를 $C_{m'}$ 로 표현한다.

<73> 계산 커패시턴스($C_{m'}$)는 다음 수학식에 의해서 구할 수 있다.

<74> [수학식 5]

$$<75> \quad C_{m'} = C_{m1} \cdot (1 - Derr/100 \cdot \sqrt{(1 + D_m^2)})$$

<76> 계산 커패시턴스($C_{m'}$)를 구하는 수학식 5는 LCR 미터의 데이터 시트(data sheet)로부터 구할 수 있다. 수학식 5의 상기 C_{m1} 은 다음 수학식에 의해서 구해진다.

<77> [수학식 6]

$$<78> \quad Y_{ac} = 2 \cdot \frac{\tanh(\gamma \cdot \frac{L}{2})}{Z_o} = R' + j\omega C_{m1}$$

<79> 상기 Y_{ac} 는 MOS 트랜지스터의 게이트 입력 어드미턴스이고, 수학식 5는 전송라인 이론(transmission line theory)으로부터 얻어지는 수학식이다. 즉, 도 2의 등가 회로(200)의 게이트 입력 어드미턴스를 구하면 $R' + j\omega C_{m1}$ 형태의 복소수가 된다. 따라서 C_{m1} 을 구할 수 있다.

<80>

상기 γ 는

$$\gamma = \sqrt{\frac{R_s}{R_t} + j\omega C_i \cdot R_s}$$

<81>

에 의해서 계산되고,

<82>

상기 Z_0 는

<83>

$$Z_0 = \sqrt{\frac{R_s \cdot R_t}{1 + j\omega C_i \cdot R_t}}$$

에 의해서 계산된다.

<84>

계산 커패시턴스(C_m')와 측정 커패시턴스(C_m)가 동일하고 계산 손실 계수(D_m')와 측정 손실 계수(D_m)가 동일한지를 판단한다.(470 단계)

<85>

종래의 측정 방법(100)에서는 계산 커패시턴스와 측정 커패시턴스가 동일한 지만 판단한다. 따라서 측정 커패시턴스에 오차가 존재할 경우에는 계산 커패시턴스로부터 구해진 게이트 커패시턴스도 오차를 가지는 문제가 있다.

<86>

따라서 본 발명에서는 오차 손실 계수(D_{err})를 이용하여 계산 손실 계수(D_m')에 존재하는 오차를 보정함에 의하여 계산 커패시턴스(C_m')에 존재하는 오차도 보정할 수 있다.

<87>

계산 커패시턴스(C_m')와 측정 커패시턴스(C_m)가 서로 동일하지 않거나 또는 계산 손실 계수(D_m')와 측정 손실 계수(D_m)가 서로 동일하지 않으면 상기 (430) 단계 내지 상기 (470) 단계를 반복한다.

<88>

계산 커패시턴스(C_m')와 측정 커패시턴스(C_m)가 서로 동일하지 않거나 또는 계산 손실 계수(D_m')와 측정 손실 계수(D_m)가 서로 동일하지 않으면 초기 커패시턴스(C_i)와 오차 손실 계수(D_{err})를 다시 설정한다. 초기 커패시턴스(C_i)를 다시 설정하면 직류 손실 계수(D_{dc})가 변화되고 따라서 오차 손실 계수(D_{err})도 변화된다.

- <89> 오차 손실 계수(Derr)와 직류 손실 계수(Ddc)가 변화되면 계산 손실 계수(Dm')도 변화된다. 오차 손실 계수(Derr)가 변화되면 계산 커패시턴스(Cm')도 변화된다. 변화된 계산 손실 계수(Dm')와 측정 손실 계수(Dm)가 동일한지를 판단한다. 또한 변화된 계산 커패시턴스(Cm')와 측정 커패시턴스(Cm)가 동일한 지를 판단한다.
- <90> 변화된 계산 손실 계수(Dm')와 측정 손실 계수(Dm)가 동일하지 않거나 또는 변화된 계산 커패시턴스(Cm')와 측정 커패시턴스(Cm)가 동일하지 않으면 다시 초기 커패시턴스(Ci)와 오차 손실 계수(Derr)를 새로운 값으로 설정하고 제 440 내지 제 470 단계를 반복한다.
- <91> 이와 같이 초기 커패시턴스(Ci)와 오차 손실 계수(Derr)를 최적화시키는(optimize) 과정을 반복하여 계산 손실 계수(Dm')와 측정 손실 계수(Dm)가 일치되면 이것은 측정 손실 계수(Dm)에 존재하는 오차가 보정된 것을 의미한다.
- <92> 또한 오차 손실 계수(Derr)가 최적화되는 과정에 의해서 측정 커패시턴스(Cm)에 존재하는 오차도 보정된다. 따라서 계산 커패시턴스(Cm')와 측정 커패시턴스(Cm)가 일치하는 때의 초기 커패시턴스(Ci)가 모스 트랜지스터의 정확한 게이트 커패시턴스가 된다.(480 단계),
- <93> 즉, 본 발명의 게이트 커패시턴스 측정 방법(400)에 따르면, 오차 손실 계수(Derr) 및 계산 손실 계수(Dm')를 이용하여 측정 손실 계수(Dm)에 존재하는 오차를 보정하는 과정에서 측정 커패시턴스(Cm)에 존재하는 오차도 보정되어 모스 트랜지스터의 정확한 게이트 커패시턴스의 추출이 가능하다.

<94> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<95> 상술한 바와 같이 본 발명에 따른 게이트 커패시턴스 측정 방법은 LCR 미터를 이용하여 측정된 측정 손실 계수의 오차를 보정함에 의하여 게이트 커패시턴스를 정확히 측정할 수 있는 장점이 있다.

【특허청구범위】**【청구항 1】**

(a) 모스 트랜지스터의 게이트 커패시턴스를 측정하여 측정 커패시턴스 및 측정 손실 계수를 구하는 단계 ;

(b) 상기 모스 트랜지스터의 등가 회로의 채널 저항 및 터널링 저항을 구하는 단계 ;

(c) 계산 커패시턴스를 구하기 위한 초기 커패시턴스 및 계산 손실 계수를 구하기 위한 오차 손실 계수의 값을 설정하는 단계 ;

(d) 상기 채널 저항, 상기 터널링 저항 및 상기 초기 커패시턴스를 이용하여 직류 손실 계수를 계산하는 단계 ;

(e) 상기 오차 손실 계수, 상기 직류 손실 계수 및 상기 측정 손실 계수를 이용하여 계산 손실 계수를 계산하는 단계 ;

(f) 상기 채널 저항, 상기 터널링 저항, 상기 초기 커패시턴스, 상기 오차 손실 계수 및 상기 측정 손실 계수를 이용하여 계산 커패시턴스를 계산하는 단계 ; 및

(g) 상기 계산 커패시턴스와 상기 측정 커패시턴스가 동일하고 상기 계산 손실 계수와 상기 측정 손실 계수가 동일하면 상기 초기 커패시턴스를 상기 모스 트랜지스터의 정확한 게이트 커패시턴스로 검출하고, 상기 계산 커패시턴스와 상기 측정 커패시턴스가 서로 동일하지 않거나 또는 상기 계산 손실 계수와 상기 측정 손실 계수가 서로 동일하지 않으면 상기 (c) 단계 내지 상기 (g) 단계를 반복하는 단계를 구비하는 것을 특징으로 하는 손실 계수의 오차 보정을 이용한 게이트 커패시턴스 측정 방법

【청구항 2】

제 1항에 있어서, 상기 (b) 단계는,

(b1) 상기 모스 트랜지스터의 직류 게이트 전류, 직류 드레인 전류, 직류 게이트 전압 및 직류 드레인 전압을 측정하는 단계; 및

(b2) 상기 직류 게이트 전류, 상기 직류 드레인 전류, 상기 직류 게이트 전압 및 상기 직류 드레인 전압을 이용하여 상기 채널 저항 및 터널링 저항을 구하는 단계를 구비하는 것을 특징으로 하는 손실 계수의 보정을 이용한 게이트 커패시턴스 측정 방법.

【청구항 3】

제 2항에 있어서, 상기 터널링 저항은,

$$R_t = L \left[\frac{Z_{dc}}{Y_{dc}} (Z_{dc} \cdot Y_{dc} + 2) \right]^{1/2} / \cosh^{-1}(Z_{dc} \cdot Y_{dc} + 2)$$

에 의해서 계산되고,

상기 채널 저항은,

$$R_s = \frac{1}{R_t} \left[\frac{Z_{dc}}{Y_{dc}} \cdot 4 \cdot (Z_{dc} \cdot Y_{dc} + 2) \right]$$

에 의해서 계산되며,

Z_{dc} 는 드레인 임피던스로서 상기 직류 드레인 전압을 상기 직류 드레인 전류로 나눈 값이고, Y_{dc} 는 게이트 어드미턴스로서 상기 직류 게이트 전류를 상기 직류 게이트 전압으로 나눈 값인 것을 특징으로 하는 손실 계수의 오차 보정을 이용한 게이트 커패시턴스 측정 방법.

【청구항 4】

제 1항에 있어서, 상기 오차 손실 계수는,

상기 직류 손실 계수에서 상기 측정 손실 계수를 뺀 값인 것을 특징으로 하는 손실 계수의 오차 보정을 이용한 게이트 커패시턴스 측정 방법.

【청구항 5】

제 1항에 있어서, 상기 직류 손실 계수는,

$$D_{dc} = \frac{A \sinh(L \cdot Y \cdot A) - B \sin(L \cdot Y \cdot B)}{A \sin(L \cdot Y \cdot B) + B \sinh(L \cdot Y \cdot A)}$$

에 의해서 계산되며,

상기 A 는

$$A = \sqrt{1 + (\omega C_i \cdot R_t)^2} \cdot \cos\left(\frac{\tan^{-1} \omega C_i \cdot R_t}{2}\right)$$

이고,

상기 B는

$$B = \sqrt{1 + (\omega C_i + R_t)^2} \cdot \sin\left(\frac{\tan^{-1} \omega C_i \cdot R_t}{2}\right)$$

이고,

상기 Y는

$$Y = \sqrt{\frac{R_s}{R_t}} \quad \text{이며,}$$

상기 L 은 상기 MOS 트랜지스터의 길이(Length)인 것을 특징으로 하는 손실 계수의 오차 보정을 이용한 게이트 커패시턴스 측정 방법.

【청구항 6】

제 1항에 있어서, 상기 계산 손실 계수는,

$$D_m' = D_{dc} \cdot (1 - D_{err}(1 + D_m))$$

에 의해서 계산되는 것을 특징으로 하는 손실 계수의 오차 보정을 이용한 게이트 커패시턴스 측정 방법.

【청구항 7】

제 1항에 있어서, 상기 계산 커패시턴스는,

$$C_m' = C_{m1} \cdot (1 - D_{err}/100 \cdot \sqrt{(1 + D_m^2)})$$

에 의해서 계산되며,

상기 C_{m1} 은

$$Y_{ac} = 2 \cdot \frac{\tanh(\gamma \cdot \frac{L}{2})}{Z_o} = R' + j\omega C_{m1}$$

에 의해서 계산되며, 상기 Y_{ac} 는 상기 MOS 트랜지스터의 게이트 입력 어드미턴스이고,

상기 γ 는

$$\gamma = \sqrt{\frac{R_s}{R_t} + j\omega C_i \cdot R_s}$$

에 의해서 계산되고,

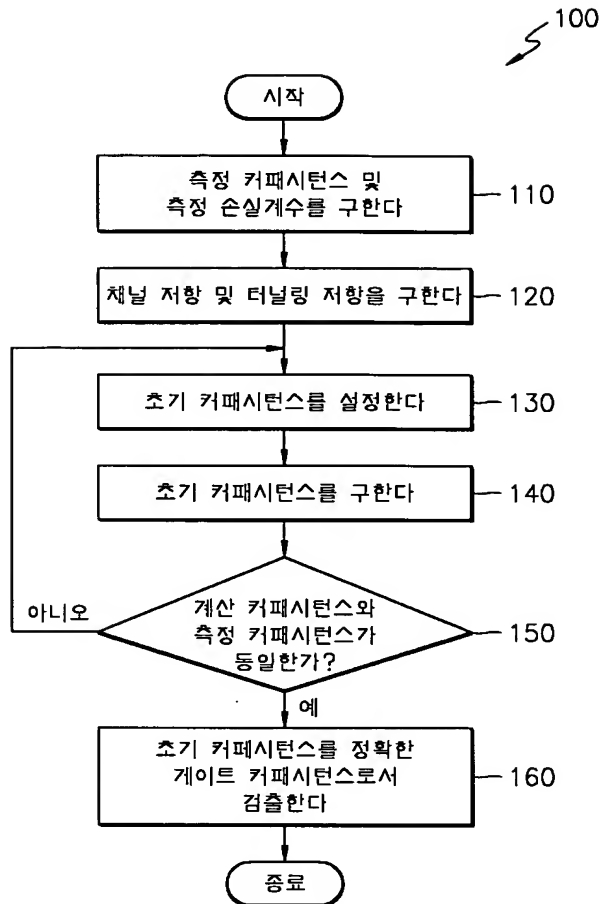
상기 Z_o 는

$$Z_o = \sqrt{\frac{R_s \cdot R_t}{1 + j\omega C_i \cdot R_t}}$$

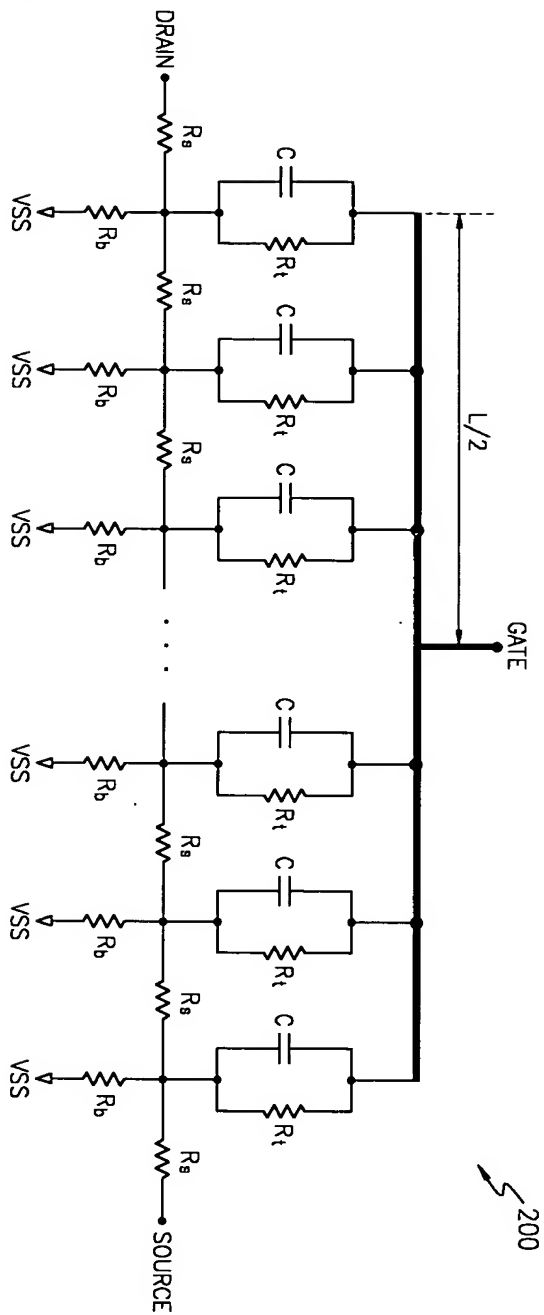
에 의해서 계산되는 것을 특징으로 하는 손실 계수의 오차 보정을 이용한 게이트
커패시턴스 측정 방법.

【도면】

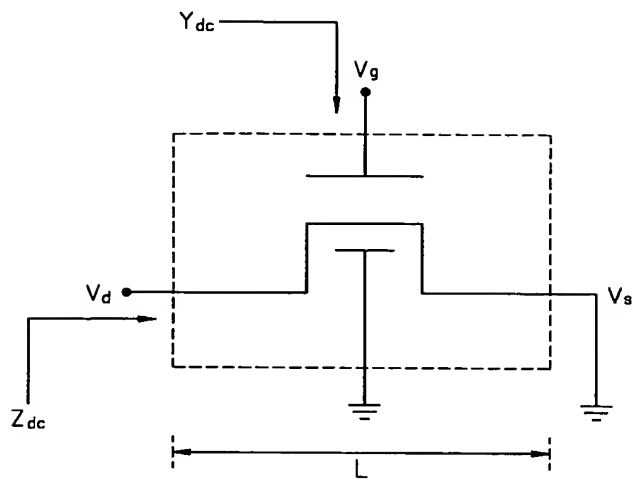
【도 1】



【도 2】



【도 3】



【도 4】

